

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183160  
 (43)Date of publication of application : 23.07.1993

(51)Int.CI. H01L 29/784  
 H01L 29/46

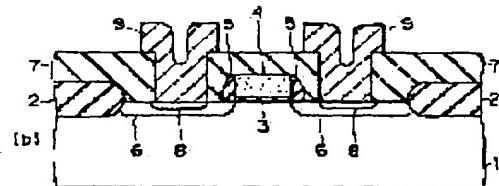
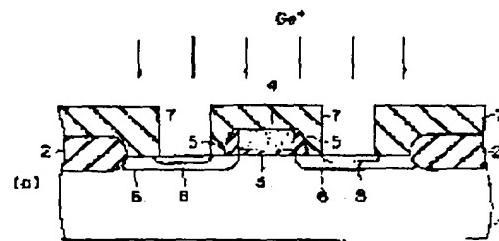
(21)Application number : 03-345630 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 26.12.1991 (72)Inventor : NISHTYAMA AKIRA  
 USHIKU YUKIHIRO

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

## (57)Abstract:

PURPOSE: To provide a semiconductor device wherein contact resistance is not increased even though the device is made finer.

CONSTITUTION: There are provided on a silicon substrate 1 a gate electrode 4 formed through a gate oxide film 3, a source-drain diffusion layer 6 formed on the surface of the silicon substrate 1 oppositely to the gate electrode 4, a source-drain electrode 9 formed on the source-drain diffusion layer 6, and a Si-Ge mixed crystal layer 8 displaced between the source-drain electrode 9 and the source-drain diffusion layer 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-183160

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.<sup>5</sup>

H 01 L 29/784

29/46

識別記号

序内整理番号

F I

技術表示箇所

Z 7738-4M

8225-4M

H 01 L 29/ 78

3 0 1 S

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号

特願平3-345630

(22)出願日

平成3年(1991)12月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 西山 彰

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 牛久 幸広

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

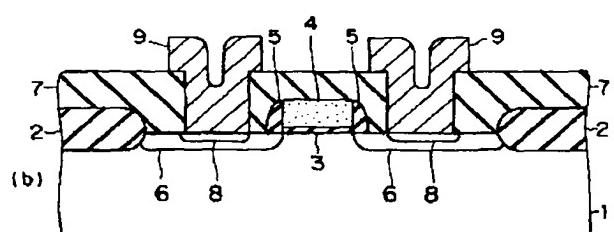
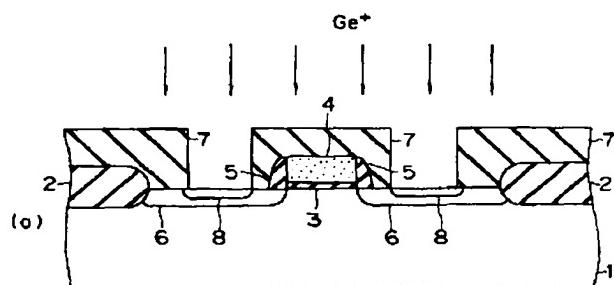
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】本発明は、素子の微細化が進んでも、コンタクト抵抗の増大を招かない半導体装置を提供することを目的とする。

【構成】シリコン基板1上に、ゲート酸化膜3を介して形成されたゲート電極4と、このゲート電極4に対向してシリコン基板1の表面に形成されたソース・ドレイン拡散層6と、このソース・ドレイン拡散層6上に形成されたソース・ドレイン電極9と、このソース・ドレイン電極9とソース・ドレイン拡散層6との間に設けられたSi-Ge混晶層8とを備えていることを特徴とする。



## 【特許請求の範囲】

【請求項1】シリコン基板の表面に形成されたソース・ドレイン拡散層と、このソース・ドレイン拡散層上に形成されたソース・ドレイン電極と、このソース・ドレイン電極と前記ソース・ドレイン拡散層との間に設けられたシリコンと所定の元素とからなる混晶層とを具備してなり、前記所定の元素として、前記混晶層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差が、前記ソース・ドレイン拡散層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差より小さくなる元素を選んだことを特徴とする半導体装置。

【請求項2】シリコン基板の表面にソース・ドレイン拡散層を形成する工程と、CVD法を用いて前記ソース・ドレイン拡散層上にシリコンと所定の元素とからなる混晶層を形成する工程と、この混晶層上にソース・ドレイン電極を形成する工程とを具備してなり、前記所定の元素として、前記混晶層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差が、前記ソース・ドレイン拡散層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差より小さくなる元素を選んだことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、コンタクト抵抗の低減化を図り得る半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、コンピューターや通信機器の重要な部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上は、集積度を高めること、つまり、素子の微細化により実現できる。素子の微細化が進と、配線材と各素子とを結ぶコンタクトホールの径が小さくなり、配線材と素子との接触面積が小さくなる。この結果、コンタクトホールにおける抵抗、いわゆる、コンタクト抵抗は、素子の微細化とともに増大する。このため、コンタクト抵抗が寄生抵抗として働き、素子に供給される電流が少なくなり、動作遅延が生じる。

【0004】そこで、電界トランジスタ(FET)においては、図14に示すように、ソース・ドレイン拡散層92の表面にシリサイド93を形成する方法が検討されている。この方法は、ソース・ドレイン拡散層92を形

10

20

30

40

50

成した後に、ポリシリコンゲート電極91の側壁に絶縁膜93を形成し、統いて、シリコン基板90の全面に、チタン等からなる金属膜を堆積し、この金属膜に熱処理を施してポリシリコンゲート電極91、ドレイン・ソース拡散層92をシリサイド化し、この後、未反応の金属膜をエッチング除去するというものである。

【0005】このような方法を用いることで、コンタクトホールの径が小さくなつても、ソース・ドレイン拡散層92とソース・ドレイン電極95との実効的な接触面積を、ソース・ドレイン拡散層92の面積と同じにでき、コンタクト抵抗の増大を防止できる。

【0006】しかしながら、今後さらに微細化が進んでいくと、ソース・ドレイン拡散層92の面積が $1.0\mu m^2$ 程度まで小さくなると予想され、この結果、接触面積がソース・ドレイン92の面積と同じであつても、コンタクト抵抗の値は高いものとなり、動作遅延等の問題が生じる。特に、p+拡散層とシリサイドとの間のコンタクト抵抗は、n+拡散層とシリサイドとの間に比べ高く、この部分を低抵抗化する必要がある。

## 【0007】

【発明が解決しようとする課題】上述の如く、今後さらに素子の微細化が進むと、シリサイドを用いたFETであつても、ソース・ドレイン拡散層の面積が非常に小さくなるので、ソース・ドレイン電極とソース・ドレイン拡散層との接触面積が小さくなり、これにより、コンタクト抵抗が増大し、動作遅延等の問題が生じるという問題があつた。

【0008】本発明は、上記事情を考慮してなされたもので、その目的とするところは、今後さらに素子の微細化が進んでも、コンタクト抵抗の増大を招かない半導体装置及びその製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、シリコン基板に形成されたソース・ドレイン拡散層とソース・ドレイン電極との間に、シリコンと所定の元素とからなる混晶層が設けられ、前記所定の元素として、前記混晶層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差が、前記ソース・ドレイン拡散層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差より小さくなる元素を選んだことを特徴とする。

【0010】また、本発明の半導体装置の製造方法は、シリコン基板にソース・ドレイン拡散層を形成した後、CVD法を用いてシリコンと所定の元素とからなる混晶層を前記ソース・ドレイン拡散層上に形成する工程を有し、前記所定の元素として、前記混晶層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差が、前記ソース・ドレイン拡散層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェ

ルミ準位との差より小さくなる元素を選んだことを特徴とする。また、CVD法を用いる代わりに、ソース・ドレイン拡散層に上述した条件を満たす所定の元素のイオンを打込むことで、混晶層を形成しても良い。

#### 【0011】

【作用】ソース・ドレイン電極とソース・ドレイン拡散層とのコンタクト抵抗は、ソース・ドレイン電極のフェルミ準位とソース・ドレイン拡散層の価電子帯のエネルギー準位との差が小さいほど小さくなる。

【0012】本発明の半導体装置では、ソース・ドレイン電極をシリコンと所定の元素からなる混晶層を介してソース・ドレイン拡散層と接続し、所定の元素として、前記混晶層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差が、前記ソース・ドレイン拡散層の価電子帯端のエネルギー準位と前記ソース・ドレイン電極のフェルミ準位との差より小さくなる元素を用いている。

【0013】即ち、混晶層を介してソース・ドレイン拡散層とソース・ドレイン電極とを接続することで、ソース・ドレイン電極のフェルミ準位とソース・ドレイン拡散層の価電子帯のエネルギー準位との差を実効的に小さくしている。

【0014】したがって、素子の微細化により、ソース・ドレイン電極とソース・ドレイン拡散層との接触面積が小さくなつても、これによるコンタクト抵抗の増大は、上記混晶層によるコンタクト抵抗の減少により防止できる。

【0015】また、半導体装置の製造方法では、CVD法を用いてソース・ドレイン拡散層上に混晶層を形成している。したがって、シリコン基板にダメージを与えること無く混晶層を形成できる。

#### 【0016】

【実施例】以下、図面を参照しながら実施例を説明する。図1、図2は、本発明の第1の実施例に係わるMOSトランジスタの製造工程断面図である。

【0017】まず、図1(a)に示す如く、n型のSi基板1上に、素子分離用酸化膜2を形成する。次いでこの酸化膜2で囲まれた素子形成領域に、熱酸化法を用いて厚さ8nmのゲート酸化膜3を形成し、続いて、全面に厚さ300nmのゲート電極4となる多結晶シリコン膜を堆積する。そして、フォトリソグラフィ技術を用いて上記多結晶シリコン膜をバーニングしてゲート電極4を形成する。

【0018】次に図1(b)に示す如く、全面に側壁ゲート絶縁膜5となるSiO<sub>2</sub>膜を堆積した後、このSiO<sub>2</sub>膜の全面をエッチバックして、ゲート電極4の側壁に側壁ゲート絶縁膜5を形成する。次いで加速電圧40kV、ドーズ量5×10<sup>15</sup>cm<sup>-2</sup>の条件でBF<sub>2</sub>を注入し、続いて、窒素雰囲気中で850°C、30分の熱処理を行なつてp+型のソース・ドレイン拡散層6を形成

する。

【0019】次に図2(a)に示す如く、CVD法を用いて、全面に厚さ800nmのSiO<sub>2</sub>膜7を堆積した後、ソース・ドレイン拡散層6と後工程で形成するソース・ドレイン電極9とのコンタクトを取るためのコンタクトホールを形成する。次いで加速電圧20kV、ドーズ量3×10<sup>16</sup>cm<sup>-2</sup>の条件でGe<sup>+</sup>のイオン注入を行なう。この後、Ar雰囲気中で600°C、1時間の熱処理を行ない、コンタクトホール底部のSi基板1に注入されたGeとSiとを結合させる。このようなイオン注入工程、熱処理工程により、コンタクトホール底部のSi基板1の表面で、Si<sub>0.8</sub>Ge<sub>0.2</sub>となるSi-Ge混晶層8を形成できる。

【0020】次に図2(b)に示す如く、Si-Ge混晶層8及びその下のソース・ドレイン拡散層6の不純物活性化率を十分に高くするために、Ar雰囲気中で1000°C、10秒の熱処理を行なう。次いで、電極材料として厚さ800nmのAl合金膜を全面に堆積する。最後に、このAl合金膜をバーニングしてソース・ドレイン電極9を形成してMOSトランジスタが完成する。

【0021】図3は、上記方法で得られたMOSトランジスタのコンタクトホールにおけるソース・ドレイン拡散層6、Si-Ge混晶層8、ソース・ドレイン電極9のエネルギーバンド図であり、図4は、従来方法で得られたMOSトランジスタ、つまり、ソース・ドレイン拡散層とソース・ドレイン電極との間にSi-Ge混晶層が設けられてないMOSトランジスタのそれである。なお、図中、φ<sub>B</sub>は、ソース・ドレイン電極のフェルミ準位と、このソース・ドレイン電極と接触した混晶層又はソース・ドレイン拡散層の価電子帯端のエネルギー準位とのエネルギー準位差である。

【0022】これらの図から、本実施例のMOSトランジスタのエネルギー準位差φ<sub>B</sub>の方が、従来のそれより小さいことが分かる。これは、本実施例のMOSトランジスタでは、Si-Ge混晶層8の影響により、価電子帯の最小準位のエネルギーレベルが高準位側にシフトしたからである。なお、上述したように、Si-Ge混晶層8とソース・ドレイン電極9との界面における、Si-Ge混晶層8のSiとGeとの比は4:1である。一方、不純物濃度が高い半導体と金属とのコンタクト抵抗R<sub>c</sub>は、エネルギー準位差φ<sub>B</sub>を用いて次式のように表わせられる。

$$R_c = \alpha \cdot e \times p \cdot (A \phi_B)^{1/2} \cdot N_d$$

ここで、αは比例係数、N<sub>d</sub>はホールの界面濃度、Aは定数である。上式から、エネルギー準位差φ<sub>B</sub>が小さいほど、コンタクト抵抗R<sub>c</sub>が小さくなることが分かる。

【0023】したがって、本実施例のMOSトランジスタの方が、従来のそれより、コンタクト抵抗を小さくできるので、微細化により、ソース・ドレイン拡散層の面積が小さくなつても、コンタクト抵抗の増大による動作

遅延は生じない。

【0024】また、本実施例では、イオン注入法を用いてSi-Ge混晶層8を形成するので、基板表面に近いほどGe濃度が高くなり、この結果、Si-Ge混晶層8及びソース・ドレイン電極の伝導帯のエネルギー準位は、図3に示したように滑らかに変化する。

【0025】かくして本実施例によれば、エネルギー準位差 $\phi_B$ を小さくできるので、コンタクト抵抗の増大を防止でき、もって、微細化を行なっても動作遅延の起きないMOSトランジスタを得ることができる。なお、本実施例では、コンタクトホールを完全に塞いでいないが、W等の金属で完全に塞いでも良い。

【0026】図6は、本発明の第2の実施例に係わるMOSトランジスタの断面図である。本実施例のMOSトランジスタが先の実施例のそれと異なる点は、CVD法を用いてSi-Ge混晶層を形成したことにある。

【0027】即ち、先の実施例と同様な方法で、素子分離用酸化膜12で囲まれたシリコン基板11の素子形成領域に、ゲート酸化膜13、ゲート電極14、側壁ゲート絶縁膜15を形成した後、加速電圧40keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でBF<sub>2</sub>のイオン注入を行なってp型のソース・ドレイン拡散層16を形成する。次に全面にSiO<sub>2</sub>膜17を堆積した後、このSiO<sub>2</sub>膜17にコンタクトホールを開口する。

【0028】次にSiH<sub>4</sub>とGeH<sub>4</sub>とH<sub>2</sub>との混合ガスを使用した選択CVD法により、コンタクトホール内にSi-Ge混晶層18を所定の高さまで埋める。具体的には、最初、混合ガスの全圧力を27Pa(SiH<sub>4</sub>分圧: 6.5Pa)、基板温度を550°Cに設定してSi-Ge混晶層18を形成する。そして、徐々にGeH<sub>4</sub>分圧を高くし、最終的には1.3Paとする。この間、SiH<sub>4</sub>分圧、全圧力が、それぞれ6.5Pa、27Paと一定になるよう、H<sub>2</sub>分圧を減少させる。このような条件でCVD法によりSi-Ge混晶層18を形成した後、例えば、Bの200keV、 $1 \times 10^{15} \text{ cm}^{-2}$ と30keV、 $3 \times 10^{15} \text{ cm}^{-2}$ のイオン注入を行ない、続いて、この不純物にArを用いた1000°C、約10秒の活性化アーナーを施す。最後に、Al合金からなるソース・ドレイン電極19を形成してMOSトランジスタが完成する。

【0029】なお、SiH<sub>4</sub>分圧に対するGeH<sub>4</sub>分圧を常に一定にすれば、SiとGeとの比が4:1と一定のSi-Ge混晶層を形成でき、この場合、図5に示すようなバンド構造、つまり、Si-Ge混晶層18とSi基板1との境界で伝導バンドが不連続なバンド構造が得られる。

【0030】以上述べた方法で得られたMOSトランジスタでも、ソース・ドレイン電極19がSi-Ge混晶層18を介してソース・ドレイン拡散層16に接続しているので、伝導帯端、価電子帯端の不連続、連続に関わ

らず、エネルギー準位差 $\phi_B$ が小さくなり、コンタクト抵抗が小さくなる。したがって、素子の微細化を行なっても、動作速度を速く保つことができる。また、CVD法を用いてSi-Ge混晶層18を形成しているので、イオン注入の場合のようにSi基板11にダメージが与える恐れはない。

【0031】なお、本実施例では、コンタクトホールをSi-Ge混晶層18で完全に埋めなかつたが、図7に示すように、コンタクトホールをSi-Ge混晶層18で完全に埋めても同様な効果が得られる。

【0032】また、選択CVD法により、コンタクトホール内にSi-Ge混晶層18を所定の高さまで堆積する代わりに、全面にSi-Geに堆積した後、全面エッチバックを行なうことでコンタクトホール内にSi-Ge混晶層18を形成しても良い。図8は、本発明の第3の実施例に係わるMOSトランジスタの製造工程断面図である。

【0033】先ず、第1の実施例と同様な方法を用いて、図8(a)に示す如く、素子分離用酸化膜22で囲まれたシリコン基板21の素子形成領域に、ゲート酸化膜23、ゲート電極24、側壁ゲート絶縁膜25、p型のソース・ドレイン拡散層26を形成する。

【0034】次に図8(b)に示す如く、Ge<sup>+</sup>イオンを加速電圧20keV、ドーズ量 $3 \times 10^{16} \text{ cm}^{-2}$ の条件で打込み、ゲート電極24、ソース・ドレイン拡散層26の表面にGeを導入する。次いでAr雰囲気中で、600°C、1時間の熱処理を用いてGeとSiとを結合させ、Si-Ge混晶層28を形成する。この後、Si-Ge混晶層28及びその下のソース・ドレイン拡散層26並びにゲート電極24中の不純物の活性化率を上げるために、1000°C、10秒の熱処理をAr雰囲気中で行なう。

【0035】次に図8(c)に示す如く、CVD法を用いて、全面に厚さ800nmのSiO<sub>2</sub>膜27を堆積した後、このSiO<sub>2</sub>膜27にコンタクトホールを開口する。最後に、全面に厚さ800nmのAl合金膜を堆積した後、これをパターニングしてソース・ドレイン電極29を形成してMOSトランジスタが完成する。

【0036】以上述べた方法でも、Si-Ge混晶層28を介してソース・ドレイン電極29とソース・ドレイン拡散層26とが接続しているので、エネルギー準位差 $\phi_B$ が小さくなり、この結果、微細化を行なっても、コンタクト抵抗による寄生抵抗を低く保つことができるので動作遅延は生じない。なお、本実施例では、コンタクトホールが完全に塞がれていないが、W等の金属を充填して完全に塞がれた構造としても良い。

【0037】図9は、本発明の第4の実施例に係わるMOSトランジスタの断面図である。本実施例のMOSトランジスタが第3の実施例のそれと異なる点は、CVD法用いてSi-Ge混晶層を形成したことにある。

【0038】即ち、素子分離用酸化膜32で囲まれたシリコン基板31の素子形成領域に、ゲート酸化膜33、ゲート電極34、側壁ゲート絶縁膜35、p型のソース・ドレイン拡散層36を形成した後、選択CVD法を用いてソース・ドレイン拡散層36上にSi-Ge混晶層38を例えば50nmの厚さに選択的に形成する。この後、先の実施例と同様なSiO<sub>2</sub>膜37の堆積工程、コンタクトホールの開口工程、ソース・ドレイン電極39の形成工程を経てMOSトランジスタが完成する。なお、ソース・ドレイン拡散層36上のSi-Ge混晶層38への不純物導入は、例えば、加速電圧40keV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 程度の条件でBのイオン注入を行なった後、1000°C、10秒の活性化アニールを行なえば良い。

【0039】このような方法で得られたMOSトランジスタでも先の実施例と同様な効果が得られる。なお、本実施例の場合も、W等の金属でコンタクトホールを塞いでも良い。図10は、本発明の第5の実施例に係わるMOSトランジスタの断面図である。

【0040】これを製造工程に従い説明すると、まず、素子分離用酸化膜42で区分されたシリコン基板41の素子形成領域に、ゲート酸化膜43、ゲート電極44、側壁ゲート絶縁膜45を形成する。

【0041】次にBのイオン注入を行なってp型のソース・ドレイン拡散層46を形成し、引き続き、Geのイオン注入を行なってSi-Ge混晶層48を形成する。この後、ソース・ドレイン拡散層46のBの活性化のために、第3の実施例と同様に1000°C、10秒の熱処理をAr雰囲気中で行なう。

【0042】次にSiH<sub>4</sub>とTiCl<sub>4</sub>との混合ガスを使用し、基板温度を750°Cに設定した選択CVD法により、ソース・ドレイン拡散層46上にチタンシリサイド(TiSi<sub>2</sub>)40を選択的に形成する。

【0043】次にCVD法を用いてSiO<sub>2</sub>膜47を全面に堆積した後、このSiO<sub>2</sub>膜47にコンタクトホールを開口しする。最後に、Al合金膜を全面に堆積し、これをバーニングしてソース・ドレイン電極49を形成してMOSトランジスタが完成する。

【0044】以上述べた方法によれば、Si-Ge混晶層48とソース・ドレイン電極49との間にTiSi<sub>2</sub>膜40を設けたので、コンタクト抵抗をよりいっそう小さくできる。

【0045】なお、本実施例では、Geのイオン注入法を用いてSi-Ge混晶層48を形成したが、図11に示すように、選択CVD法を用いてSi-Ge混晶層48aを形成しても良い。また、Wなどの金属でコンタクトホールを完全に塞いでも良い。図12は、本発明の第6の実施例に係わるMOSトランジスタの製造工程断面図である。

【0046】まず、図12(a)に示す如く、n型のS

i基板51上に素子分離用SiO<sub>2</sub>膜52を形成する。次いでGeイオンを加速電圧100keV、ドーズ量 $3 \times 10^{16} \text{ cm}^{-2}$ の条件でSi基板51に打込み、続いて、Ar雰囲気中で600°C、1時間のアニールを行なう。この結果、基板表面付近にSi-Ge混晶層58が形成され、その上にSi層50が形成される。次いでこのSi層50を熱酸化して厚さ8nmのゲート酸化膜53を形成した後、全面にゲート電極56となる多結晶シリコン膜を堆積し、続いて、これをフォトリソグラフィを用いてパターニングしてゲート電極56を形成する。この後、SiO<sub>2</sub>膜を全面に堆積し、これにエッチバックを施して側壁ゲート絶縁膜55を形成する。

【0047】次に図12(b)に示す如く、BF<sub>2</sub>イオンを加速電圧40keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で打ち込んだ後、窒素雰囲気中で850°C、30分のアニールを行ない、p型のソース・ドレイン拡散層56を形成する。

【0048】次に図12(c)に示す如く、CVD法を用いて、全面に厚さ800nmのSiO<sub>2</sub>膜57を堆積した後、SiO<sub>2</sub>膜57、その下のSi層50に順次エッチングを施し、Si-Ge混晶層58が露出するようコンタクトホールを形成する。最後に、全面にAl合金膜を堆積し、これをバーニングしてソース・ドレイン電極59を形成してMOSトランジスタが完成する。

【0049】以上述べた方法でも、先に説明したMOSトランジスタと同様にSi-Ge混晶層58によりエネルギー準位差 $\phi_B$ が小さくなるので、コンタクト抵抗の低減が図れる。

【0050】なお、イオン注入の代わりに選択CVD法を用いてもSi-Ge混晶層58を形成できる。即ち、素子分離用SiO<sub>2</sub>膜52を形成した後、選択CVD法を用いて、素子形成領域のSi基板51の表面に、Si-Ge混晶層58を堆積し、この後、再び選択CVD法を用いて、Si-Ge混晶層58上にSi層50を堆積すれば良い。また、コンタクトホールをW等の金属で埋込こんでも良い。

【0051】図13は、本発明の第7の実施例に係わるMOSトランジスタの断面図である。なお、図12のMOSトランジスタと対応する部分には図12と同一符号を付してあり、詳細な説明は省略する。本実施例のMOSトランジスタが第6の実施例のそれと異なる点は、Si-Ge混晶層58上にシリサイドを形成したことにある。

【0052】即ち、ソース・ドレイン拡散層56を形成した後、全面にTi膜を堆積し、続いて、窒素雰囲気中で700°C、30秒間のアニールを行なう。この結果、Ti膜と接触していたSi層50は全てTiSi<sub>2</sub>膜60に変わる。この後、未反応のTi膜や、TiN膜を除去する。この後の工程は先の実施例と同様である。以上の工程により、ゲート電極54、ソース・ドレイン拡散

層56上にTiSi<sub>2</sub>膜60に残った構造のMOSトランジスタが得られる。

【0053】このようにして得られたMOSトランジスタでは、Si-Ge混晶層58とソース・ドレイン電極59との間にTiSi<sub>2</sub>膜50が形成されているので、コンタクト抵抗をよりいっそう小さくなる。なお、コンタクトホールがW等の金属で完全に埋込んで良い。

【0054】なお、本発明は上述した実施例に限定されるものではない。例えば、図7のMOSトランジスタでは、Si-Geの全面堆積と、エッチバックとにより、コンタクトホールをSi-Ge混晶層で完全に埋めたが、選択CVD法によりコンタクトホールの埋込みを行なっても良い。また、第5、第7の実施例では、シリサイドとしてTiSi<sub>2</sub>を用いたが他のシリサイドを用いても良い。

【0055】また、上記実施例では、pチャネルのMOSトランジスタの場合について説明したが、本発明は、nチャネルのMOSトランジスタや、MOSトランジスタ以外のシリコンを用いたMISトランジスタ、更に、CMOSトランジスタにも同様に適用できる。

【0056】また、上記実施例では、Si-Geの混晶層を用いたが、Siと他の元素との混晶層、例えば、SiとGe以外のIV族元素との混晶層を用いても良い。要はエネルギー準位差 $\phi_B$ が小さくなれば良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

#### 【0057】

【発明の効果】以上詳述したように本発明によれば、素子の微細化が進み、ソース・ドレイン電極とソース・ドレイン拡散層との接触面積が小さくなっても、コンタクト抵抗の増大を防止し得る半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるMOSトランジスタの製造工程断面図。

【図2】本発明の第1の実施例に係わるMOSトランジスタの製造工程断面図。

【図3】図2のMOSトランジスタのコンタクトホール部のエネルギーバンド図。

【図4】従来法のMOSトランジスタのコンタクトホール部のエネルギーバンド図。

【図5】図6のMOSトランジスタのコンタクトホール部のエネルギーバンド図。

【図6】本発明の第2の実施例に係わるMOSトランジスタの断面図。

【図7】コンタクトホールがSi-Ge混晶層で埋められたMOSトランジスタの断面図。

【図8】本発明の第3の実施例に係わるMOSトランジスタの製造工程断面図。

【図9】本発明の第4の実施例に係わるMOSトランジスタの断面図。

【図10】本発明の第5の実施例に係わるMOSトランジスタの断面図。

【図11】選択CVD法を用いてSi-Ge混晶層を形成した場合のMOSトランジスタの断面図。

【図12】本発明の第6の実施例に係わるMOSトランジスタの製造工程断面図。

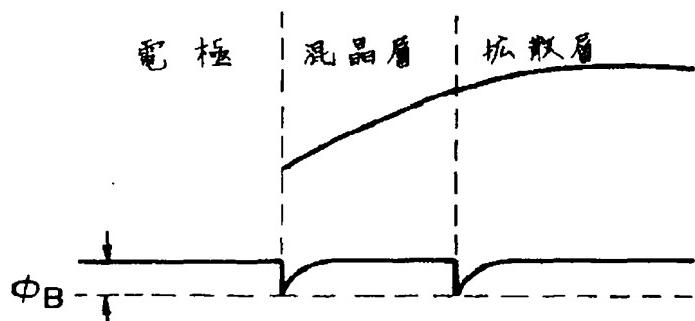
【図13】本発明の第7の実施例に係わるMOSトランジスタの断面図。

【図14】従来のMOSトランジスタの断面図。

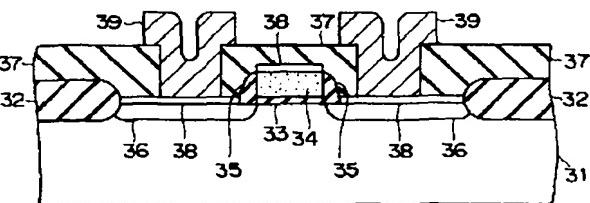
#### 【符号の説明】

- 1, 11, 21, 31, 41, 51…Si基板
- 2, 12, 22, 32, 42, 52…素子分離用酸化膜
- 3, 13, 23, 33, 43, 53…ゲート酸化膜
- 4, 14, 24, 34, 44, 54…ゲート電極
- 5, 15, 25, 35, 45, 55…側壁ゲート絶縁膜
- 6, 16, 26, 36, 46, 56…ソース・ドレイン拡散層
- 7, 17, 27, 37, 47, 57…SiO<sub>2</sub>膜
- 8, 18, 28, 38, 48, 58…Si-Ge混晶層
- 9, 19, 29, 39, 49, 59…ソース・ドレイン電極
- 40, 60…チタンシリサイド(TiSi<sub>2</sub>)
- 50…Si層

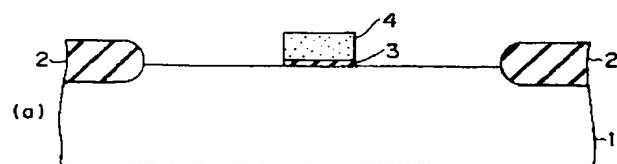
【図3】



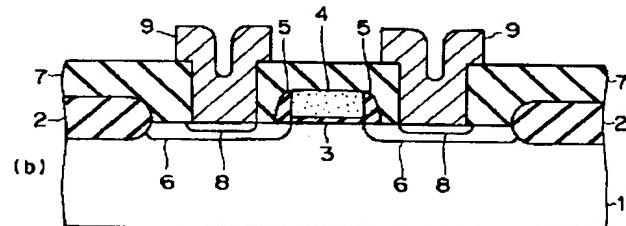
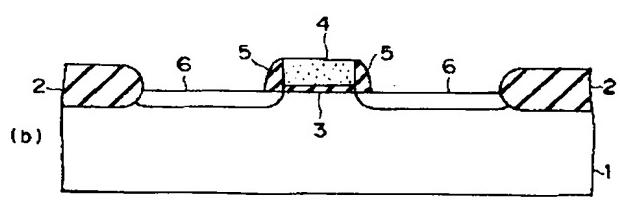
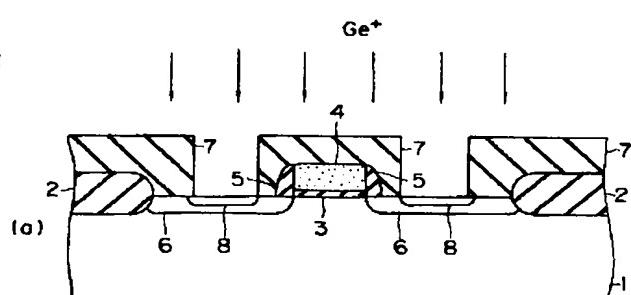
【図9】



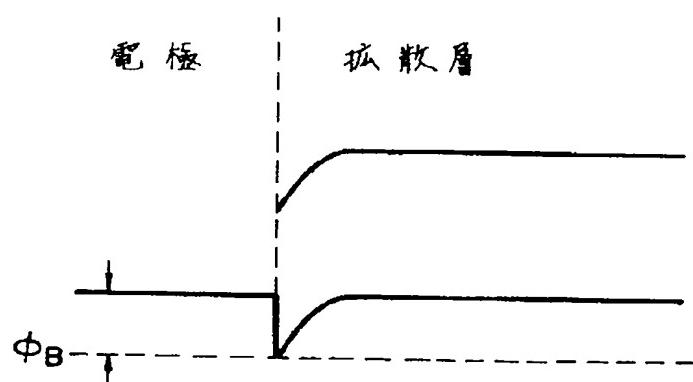
【図1】



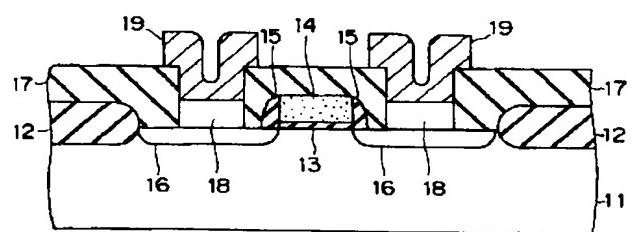
【図2】



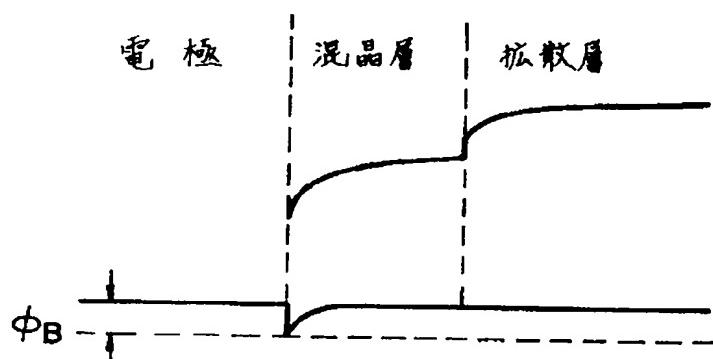
【図4】



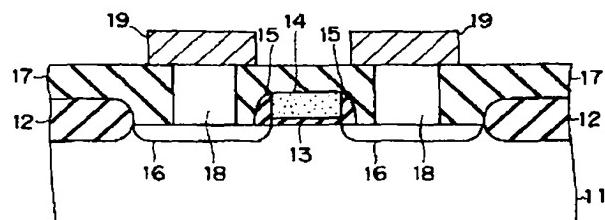
【図6】



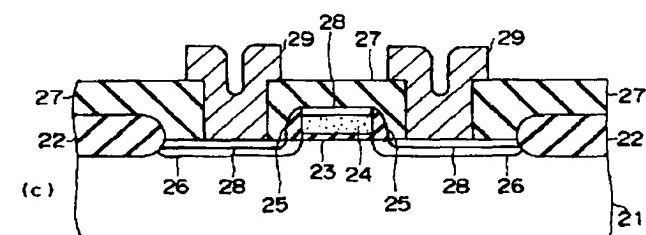
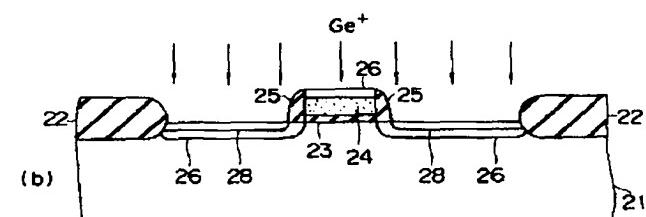
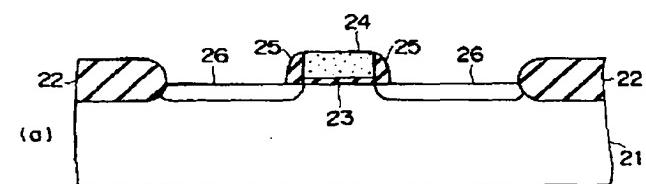
【図5】



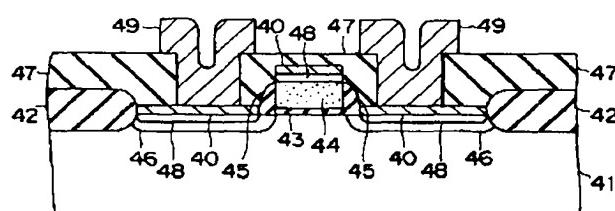
【図7】



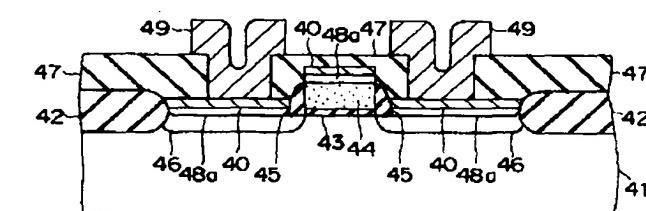
【図8】



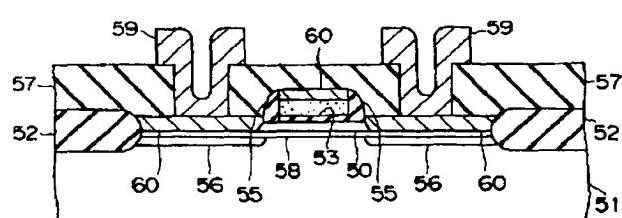
【図10】



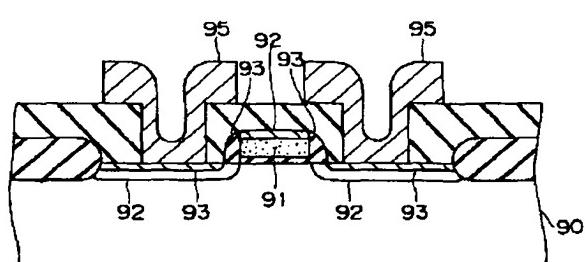
【図11】



【図13】



【図14】



【図12】

